

2026 VLSI Review

KAIST 전기및전자공학부 석박사통합과정 이동윤

Session 25 Energy Efficient Wireline Transceivers and Clocking Circuits

2026 IEEE VLSI의 Session 25는 Energy Efficient Wireline Transceivers and Clocking Circuits라는 주제로 총 4편의 논문이 발표되었다. AI 학습/추론 클러스터에서 GPU 간 scale-up 인터커넥트, 데이터센터 스위치 ASIC의 I/O, 1.6 Tb/s Ethernet용 전기/광 링크, 패키지 안의 HBM 및 chiplet 간 die-to-die 인터페이스처럼 대량의 데이터 이동을 요구하는 응용이 늘면서 산업계와 학계 모두 high-speed wireline 통신에 주목하고 있다. 이에 따라 224 Gb/s/lane급 Ethernet 전기 링크(OIF CEI-224G, IEEE 802.3dj), HBM PHY와 UCIe 같은 short-reach 병렬 인터페이스, SRIS 환경의 PCIe 6.x 등 서로 다른 reach와 표준을 겨냥한 연구가 함께 발표되고 있다. 기존 wireline TRX는 CTLE, FFE, DFE 등의 equalization으로 채널 손실을 보상해 reach를 늘려 왔고, PAM-4 같은 multi-level signaling으로 심볼당 비트 수를, multi-lane 구성으로 총 데이터율을 높여 왔다. 100 Gb/s/lane을 넘는 long-reach 링크에서는 수십 dB의 손실을 아날로그 등화만으로 감당하기 어려워 ADC-DSP 기반 RX가 주류가 되었다. 25-1은 3nm FinFET에서 4-lane 212.5 Gb/s PAM-4 DAC 기반 TX와 ADC-DSP RX로 54.7 dB reach와 2.05 pJ/bit를 보고했고, 25-4는 같은 3nm에서 224 Gb/s PAM-4 ADC-DSP RX로 38 dB 채널에서 1.39 pJ/bit를 달성했다. 두 편이 200G급 ADC-DSP의 현재 수준을 보여준다면, 나머지 두 편은 구조적으로 다른 접근을 택했다. 본 기사에서는 4개의 transmission line을 하나의 그룹으로 묶어 전류 영역에서 PAM-4 심볼을 전송하는 25-2와, phase interpolator 없이 주파수 오프셋을 직접 추적하고 SSC 프로파일을 복제해 상쇄하는 multi-lane용 디지털 CDR을 제안한 25-3에 집중하여 서술한다.

#25-2 Voltage based 통신에서는 lane의 기생 저항과 캐패시턴스가 만드는 RC 시정수가 대역폭을 제한하고, 수신단이 판정할 수 있는 전압까지 lane 전체를 충방전해야 하므로 데이터율이 오를수록 이 병목이 커진다. 수신단 입력 임피던스를 낮게 잡아 lane 전압을 고정하고 전류만 읽으면 충방전 자체를 피할 수 있다는 발상은 여기서 출발했으며, 캐패시턴스가 큰 SRAM 비트라인을 저임피던스 current sense amplifier로 읽어 속도를 높인 연구 [1]와 같은 원리를 온칩 global interconnect에 적용한 연구 [2]가 그 뿌리에 해당한다. 한편 HBM이나 die-to-die 인터페이스처럼 수천 개의 lane이 동시에 스위칭하는

wide-parallel I/O가 늘면서, lane당 총방전 에너지와 데이터 의존 스위칭 전류가 만드는 supply noise (SSN, simultaneous switching noise)가 시스템 스케일링을 막는 요인으로 새롭게 부상했다. 본 논문은 이 두 문제, 즉 RC 대역폭 제한과 wide-parallel에서의 에너지/SSN을 current based 통신으로 함께 다루려는 시도이다.

논문은 기존 방식을 두 갈래로 정리한다. Voltage based SST (source-series-terminated) driver는 lane을 VDD/VSS 사이에서 스위칭시킴으로 CV^2 에 비례하는 에너지와 큰 데이터 의존 스위칭 전류를 갖는다. CML과 같은 current-mode driver는 lane 스위칭을 줄이지만 수신단의 종단 저항에서 전류를 전압으로 바꿔(I-V conversion) 판정하므로, 수신단 입력은 여전히 전압 영역이고 lane 캐패시턴스의 영향에서 벗어나지 못한다. 논문이 겨냥한 지점은 이 I-V conversion을 없애고 수신단까지 전류 영역을 유지하는 것이다.

이를 위해 논문은 4개의 TL (transmission line)을 하나의 그룹으로 묶고, 각 TL에 PAM-4의 네 전류 레벨 $\{-3, -1, +1, +3\}$ 중 하나를 실어 그룹 단위로 심볼을 정의한다. TX는 큰 직렬 저항(10~20 k Ω)을 통해 VDD 또는 VSS를 lane에 연결하는 저항 구동기이고, RX는 current conveyor (CC)가 lane 전압을 공통 전압에 클램프한 채 유입 전류를 미러링하여 전류 비교기로 넘긴다. Lane 전압 스윙은 수 mV에 머물고, 판정에 기준 전압이 필요 없으며, 에너지 효율이 lane 캐패시턴스에 둔감해진다. 논문은 이 구조의 속도 한계가 lane의 RC가 아니라 CC의 전류 피드백 응답이라고 설명한다.

[그림 1]은 그룹 심볼을 선택하는 과정이다. TL당 4레벨이므로 4개 TL의 조합은 256가지인데, 논문은 세 가지 제약으로 이를 24개로 줄인다. 첫째는 DC-balance로, 네 TL 전류의 합이 항상 0이 되도록 한다. 그룹 전체가 supply에서 끌어오는 전류가 데이터와 무관하게 일정해지므로 데이터 의존 SSN이 억제된다. 둘째는 adjacent-TL contrast로, 물리적으로 인접한 TL이 같은 레벨을 갖지 못하게 하여 인접 쌍이 항상 0이 아닌 차동 신호를 갖도록 한다. 셋째는 differential distinguishability로, RX가 관측하는 것은 6개의 pairwise 대소 비교 $[A>B, B>C, C>D, D>A, A>C, B>D]$ 뿐이므로, 어느 두 TL도 같은 레벨을 갖지 않고 이 6비트 패턴이 심볼마다 고유해야 한다. 세 제약을 만족하는 집합은 네 레벨을 서로 다르게 배치한 $4! = 24$ 개 순열이며, [그림 1] 하단의 A0~A11, B0~B11이 그것이다. 데이터는 심볼 자체가 아니라 연속한 심볼 간의 전이에 실린다. 24개 심볼 중 IDLE과 END를 제외한 전이 조합이 데이터에 대응하고, IDLE조차 심볼을 바꾸는 전이로 정의되어 매 클럭마다 반드시 상태가 변하므로 별도의 클럭 채널 없이 심볼 전이에서 타이밍을 복원할 수 있다.

논문은 제안 구조를 14 nm CMOS로 구현하고 실리콘 인터포저의 RLCG 파라미터(총 R 19.2 Ω , C 1.0 pF)를 갖도록 칩 위에 배선한 3.3 mm 선로에서 검증했다. 4-TL 그룹 단위로 동작하며 TL당 22.9 Gb/s의 데이터율에서 0.06 pJ/bit의 에너지 효율과 0.006 mm²의 면적을 달성했고, 동작 중 lane 전압 스윙은 7.07 mVpp에 머물렀다. DC-balanced 인코딩의 효과로 0.8 V 공급에서 측정한 peak SSN은 VDD/VSS 각각 3.77 mV/4.62 mV로, 같은 칩

에 구현한 2-TL NRZ SST 대비 약 9배 낮았다. 비교 대상인 최근 die-to-die/HBM급 PHY들이 0.30~3.20 pJ/bit 범위인 것과 비교하면 한 자릿수 이상의 차이이며, equalization 없이 2 UI의 latency로 동작한다는 점도 short-reach 인터페이스에서 의미가 있다. 논문은 lane 전압을 고정하는 구조 덕에 에너지 효율이 load capacitance에 둔감하고, 속도 한계가 lane의 RC가 아닌 CC의 전류 피드백 응답에 있으므로 공정 미세화에 따라 면적과 데이터율 모두 유리해질 것으로 전망하는데, 이 전망 중 14 nm는 실측이고 180~28 nm는 PDK 시뮬레이션, 7 nm 이하는 파라미터 기반 추정값이다. 수신단까지 전류 영역을 유지하는 발상을 permutation 인코딩과 결합해, RC가 지배하는 wide-parallel 채널에서 에너지와 SSN 문제를 동시에 다룰 수 있음을 보인 점이 이 논문의 기여이며, HBM PHY나 chiplet 인터커넥트처럼 lane 수가 많고 거리가 짧은 응용에서 전압 영역 SST의 대안으로 검토될 만한 방향을 제시한 논문이라 생각된다.

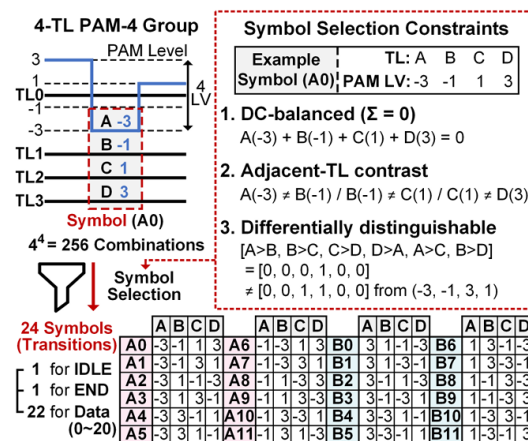


Fig. 4. Symbol selection process. Selected symbols satisfy design constraints for SSN suppression and decoding. The illustrated set corresponds to the 4-TL PAM-4 group used in this work.

[그림 1] 논문 25-2에서 제안하는 4-TL PAM-4 그룹의 심볼 선택 과정 (256개 조합에서 세 가지 제약을 거쳐 24개 순열 심볼 선택)

#25-3 AI 인프라의 multi-lane 인터커넥트는 clocking 관점에서 세 가지 요구를 동시에 받는다. 첫째, 여러 프로토콜을 수용하고 전력과 대역폭 활용을 최적화하기 위해 lane마다 서로 다른 데이터율로 동작할 수 있어야 한다. 둘째, EMI 규제를 통과하기 위해 송신 클럭에 spread-spectrum clocking (SSC)을 적용하는데, 송수신이 독립된 기준 클럭을 쓰는 SRIS (separate reference clock with independent SSC) 환경에서는 수신단이 상대 쪽 SSC의 삼각파 주파수 변조(PCIe의 경우 최대 -0.5%, 30~33 kHz)를 전부 주파수 오프셋으로 보게 된다. 셋째, 기준 클럭 주파수와 lane 수가 늘면서 클럭 분배 전력을 줄이기 위해 global LC PLL이 저주파 기준을 분배하고 각 lane의 ring oscillator (RO) PLL이 고주파 다상 클럭을 만드는 cascaded clocking이 선호된다. 본 논문은 이 세 요구를 만족하는 lane 단위 디지털 CDR을 제안한다.

기존 구조에서는 RO PLL을 정수 N으로 기준 클럭에 잠그고, 데이터와의 주파수 오프셋

f_{OS} 는 PLL 되먹임 경로에 놓인 phase interpolator (PI)가 위상을 계속 회전시켜 흡수한다. 이 간접 주파수 추적에는 두 종류의 오차가 남는다. 하나는 PI가 이산 단계로 갱신되고 회전할 때마다 자신의 비선형성을 드러내기 때문에 f_{OS} 에 비례해 커지는 주기적 위상 오차(cyclic error)로, PI 기반 CDR의 양자화 지터와 주파수 허용 범위 사이의 근본적 trade-off로 알려져 있다 [3], [4]. 다른 하나는 SSC가 주파수 ramp이므로 위상으로는 포물선이고, 적분기 두 개의 type-II 루프가 이를 오차 없이 따라갈 수 없어 남는 잔류 위상 오차(residual error)이다. SSC 깊이가 큰 SRIS에서는 f_{OS} 의 순간값이 수천 ppm에 이르러 두 오차가 모두 커지고, 그 결과 jitter tolerance (JTOL)가 저해된다. 여기에 PI가 CDR 클럭 주파수에서 동작하는 아날로그 회로라는 전력 부담이 더해진다.

논문의 제안은 두 부분이다. 첫째, direct frequency tracking (DFT)이다. PI를 제거하고 RO PLL의 되먹임 분주기를 $\Delta\Sigma$ modulator가 제어하는 multi-modulus divider로 바꾼 뒤, CDR 루프 필터의 출력을 분주비의 분수부로 직접 넣는다. 데이터가 요구하는 주파수 오프셋 만큼 PLL이 스스로 f_{CDR} 을 옮기므로 PI 회전이 필요 없고, lane마다 정수부 D_{INT} 와 분수 오프셋 D_{FOF} 를 다르게 설정하면 같은 1.05 GHz 기준 클럭에서 lane별로 임의의 데이터율을 만들 수 있다. $\Delta\Sigma M$ 이 만드는 양자화 오차는 예측 가능하므로 DTC가 기준 클럭 경로에서 상쇄한다. 둘째, SSC profile replicator (SSC-PR)이다. 들어오는 SSC의 삼각파를 디지털로 재생성하여 분주비 제어에 feed-forward로 더함으로써, 루프가 ramp를 따라가는 대신 미리 빼 주어 type-II 루프의 잔류 오차를 제거한다. 삼각파의 주파수와 위상은 frequency-phase adaptor가 CDR 비례 경로 출력과 재생 삼각파의 상관이 0이 되도록 맞추고, 깊이는 depth adaptor가 삼각파 꼭짓점에서 적분 경로 출력을 비교해 맞춘다. 두 적응기 모두 루프가 이미 갖고 있는 신호만으로 SSC의 파라미터를 추정하며, 위상 정렬이 먼저 수렴하도록 대역폭에 차이를 두었다.

[그림 2]는 기존 PI 기반 구조와 제안 DFT 구조를 비교한 것이다. 왼쪽의 기존 구조에서는 PI가 되먹임 경로에서 위상을 밀고 그 코드가 0에서 2π 까지 톱니 모양으로 반복되며, 아래 파형에 cyclic 오차와 residual 오차가 겹쳐 나타난다. 오른쪽의 제안 구조에서는 $\Delta\Sigma M$ 과 MMD가 그 자리를 대신하고 SSC-PR의 출력 D_{SSC} 가 분주비 제어에 더해지며, 두 오차가 모두 사라진 파형이 보인다. 시뮬레이션에서 30 kHz, 5000 ppm SSC 조건의 입력-출력 위상 오차는 PI 기반 0.544 UIpp에서 DFT 적용 시 0.450 UIpp로, SSC-PR까지 적용하면 0.322 UIpp로 줄어든다.

논문은 제안 CDR을 28 nm CMOS로 구현하여 0.029 mm²의 면적에서 0.7 V 공급으로 동작시켰고, 32 Gb/s에서 29.7 mW, 즉 0.93 pJ/bit의 에너지 효율을 얻었다. 고정된 1.05 GHz 기준 클럭에서 32.0, 29.33, 18.24 Gb/s 등 임의의 lane 데이터율을 생성함을 스펙트럼으로 보였고, 3000, 5000, 7000 ppm 깊이의 SSC를 추적하는 것을 확인하였다. SSC-PR를 켜면 5000 ppm SSC에서 입력-출력 위상 오차가 0.509에서 0.379 UIpp로 줄고, 100 MHz JTOL은 3000 ppm에서 0.180에서 0.260 UIpp로, 5000 ppm에서 0.128에서 0.252

U1pp로 개선되었다. PI 기반의 최근 CDR들과 비교하면 lane별 데이터율 가변, SRIS 환경의 위상 오차 제거, SSC 추적 실측 세 항목을 모두 갖추었다는 점에서 차별점이 있다. 다만 이 논문은 CDR에 초점을 둔 것으로 채널 손실 10.1 dB에 CTLE만을 사용한 NRZ 구현이므로, 같은 세션의 ADC-DSP 수신기들과 링크 성능으로 직접 비교할 대상은 아니다. PI 없이 0.7 V에서 동작하는 디지털 CDR로 SRIS의 깊은 SSC를 실측으로 추적한 점은, 다중 프로토콜과 EMI 요구를 동시에 받는 multi-lane 인터넥트의 lane 단위 clocking에 실용적인 방향을 제시했다고 볼 수 있다.

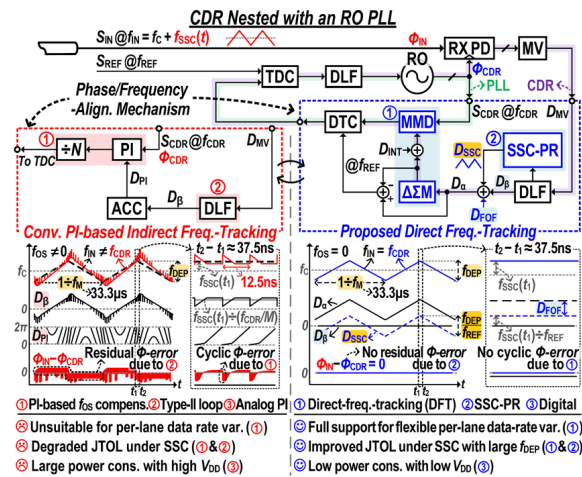


Fig. 2. CDR nested with an RO PLL: conventional PI-based indirect frequency tracking (left); and proposed direct frequency-tracking (DFT) (right).

[그림 2] 논문 25-3에서 제안하는 direct frequency-tracking CDR (오른쪽)과 기존 PI 기반 CDR (왼쪽)의 구조 및 SSC 조건에서의 위상 오차 비교

참고문헌

- [1] E. Seevinck, P. J. van Beers and H. Ontrop, "Current-mode techniques for high-speed VLSI circuits with application to current sense amplifier for CMOS SRAM's," in IEEE Journal of Solid-State Circuits, vol. 26, no. 4, pp. 525-536, April 1991.
- [2] R. Bashirullah, Wentai Liu and R. K. Cavin, "Current-mode signaling in deep submicrometer global interconnects," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 11, no. 3, pp. 406-417, June 2003.
- [3] B. Casper and F. O'Mahony, "Clocking Analysis, Implementation and Measurement Techniques for High-Speed Data Links—A Tutorial," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 56, no. 1, pp. 17-39, Jan. 2009.
- [4] J. Kim et al., "A 4 × 32 Gb/s 1.8 pJ/bit Collaborative Baud-Rate CDR With Background Eye-Climbing Algorithm and Low-Power Global Clock Distribution," in IEEE Journal of Solid-State Circuits, vol. 60, no. 8, pp. 2751-2764, Aug. 2025.

저자정보



이동윤 석박사통합과정 대학원생

- 소속 : KAIST
- 연구분야 : Body-Channel-Communication Transceiver
Design for Body-Area Network in Biomedical Application
- 이메일 : dongyoon.lee@kaist.ac.kr
- 홈페이지 : <https://impact.kaist.ac.kr>